

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-236524

(43) 公開日 平成8年(1996)9月13日

(51) Int. CL ⁹	識別記号	片内整理番号	P I	技術表示箇所
H 0 1 L	21/3205		H 0 1 L 21/88	K
	21/28	3 0 1	21/28	3 0 1 R
	21/304	3 2 1	21/304	3 2 1 S
	21/768		21/90	A
				C

審査請求 有 請求項の数 7 O L (全 6 頁)

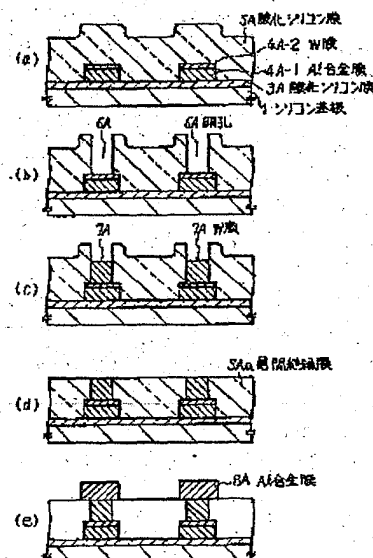
(21) 出願番号	特願平7-40186	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成7年(1995)2月28日	(72) 発明者	山田 義明 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】層間絶縁膜の平坦化とビアホールの平坦化を一度の研磨で行なう際、ビアホールの埋込み金属の成長膜厚を必要最小限とし、研磨の終点検出を可能とする。

【構成】第1の配線4 B上にBPSG膜5 Bを層間絶縁膜として必要な膜厚より厚く形成して、第1の配線4 Bとシリコン基板1に達する第1の開孔6-1 A、第2の開孔6-2 Aを形成する。各開孔に選択的にW膜7-1 Aをシリコン基板1に達する第1の開孔6-1 Aに最終的に必要な膜厚だけ形成する。次にシリコン基板に達する第1の開孔7-1 Aに形成したW膜7-1 Aが露出するまでBPSG膜5 Bを研磨して平坦化する。



(2)

特開平 8-236524

1

【特許請求の範囲】

【請求項 1】 表面部に選択的に形成された不純物拡散層を有する半導体基板上の第 1 の絶縁膜を被覆する第 1 の配線を形成する工程と、第 2 の絶縁膜を前記第 1 の配線より厚く堆積し前記第 2 の絶縁膜に前記不純物拡散層に達する第 1 の開孔及び又は前記第 1 の配線に達する第 2 の開孔を形成し前記第 1 の開孔及び又は第 2 の開孔の底面から途中迄金属膜を選択成長させて埋めた後、前記第 1 の開孔又は第 2 の開孔を埋める金属膜が露出する迄研磨を行なうことにより表面が平坦な層間絶縁膜を形成する工程とを有し、前記第 1 の開孔又は第 2 の開孔を埋める金属膜が露出したことを検出して研磨を終了することを特徴とする半導体装置の製造方法。

【請求項 2】 研磨中に発生する研磨屑をサンプリングして分析し所定金属を検出する請求項 1 記載の半導体装置の製造方法。

【請求項 3】 誘導結合プラズマ質量分析を行なう請求項 2 記載の半導体装置の製造方法。

【請求項 4】 金属膜がタングステン膜である請求項 3 記載の半導体装置の製造方法。

【請求項 5】 研磨装置の半導体基板の保持具又は研磨布を固定した定盤の摩擦力をモニタして金属膜が露出したことを検出する請求項 1 記載の半導体装置の製造方法。

【請求項 6】 保持具又は定盤を回転させるモータの駆動電流により摩擦力のモニタを行なう請求項 5 記載の半導体装置の製造方法。

【請求項 7】 研磨装置の半導体基板の保持具及び研磨布を固定した定盤をそれぞれ導電体で構成し、前記保持具と定盤との間に高圧を印加してこれらの間の電流又は抵抗を検出して金属膜が露出したことを検出する請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に関する。特に多層配線構造を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 超 LSI において、高集積化、高速化を進めるための手段の一つとして多層配線が採用されている。この場合、下層配線による段差があると、上層配線の微細化が困難となるため、各配線層間を絶縁する層間絶縁膜の平坦化が行なわれる。層間絶縁膜の平坦化方法としては、酸化シリコン膜中に F や B を添加した BPSG 膜を熱処理してリフローさせる方法、溶液を塗布して熱処理により溶媒をとばすことにより絶縁膜を形成する SOG 膜を用いる方法や層間絶縁膜上にフォトレジスト膜を塗布して、これを下の層間絶縁膜とともにエッチングするエッチバック法等がある。最近では絶縁膜を研磨により平坦化する方法 (CMP 法) が注目されている。

2

いずれの平坦化方法を用いるとしても、層間絶縁膜を平坦化した後、下層の配線等に達する開孔 (ビアホール) を形成するのが一般的な多層配線の形成方法である。

【0003】 また、ビアホールは LSI の高集積により微細化が進み、これまで広く使用されてきたスパッタ法ではビアホール内に被覆性良く配線金属を形成できないため、被覆性の良い化学気相成長法によりビアホールを埋め込む方法がとられるようになってきている。その一つの方法として、ビアホール内にのみ選択的に W を成長させる方法がある。しかし、この方法では深さの異なるビアホールを同時に埋め込むことができなかったり、あるいは、選択性が完全でないため、層間絶縁膜上にも W が粒状に成長し、配線間の短絡の原因となる等の問題がある。そこでこれらの問題を解決するために、層間絶縁膜の平坦化の前にビアホールを形成し、そのビアホールに選択的に W を成長させて埋め込んだ後、層間絶縁膜と W を同時に研磨して平坦化する方法が提案されている。これについては、たとえば特開平 2-98935 号公報や特開平 4-167448 号公報に記載されている。この方法について図面を参照して説明する。

【0004】 まず、図 4 (a) に示すように、通常の工程により、例えば多結晶シリコン膜 4 である第 1 の配線を P 型のシリコン基板 1 (表面に N 型不純物拡散層 2 が設けられている) 上の酸化シリコン膜 3 を選択的に被覆して形成する。次に全面に BPSG 膜 5 を厚めに、たとえば 2 μm 程度形成し、窒素中で 800~900℃ 程度の熱処理を行なう。この時、BPSG 膜はリフローし若干平坦化される。次に通常のフォトリソグラフィ技術とドライエッチング技術により、図 4 (b) に示すように、第 1 の配線 (4) およびシリコン基板 1 表面の N 型不純物拡散層 2 にそれぞれ達する第 1 の開孔 6-1 および第 2 の開孔 6-2 を形成する。その後、六弗化タングステン (WF₆) をシラン (SiH₄) により還元する化学気相成長法により図 4 (c) に示すように、W 膜 7-1、7-2 を第 1 の開孔 6-1、第 2 の開孔 6-2 内に選択的に成長させる。この時最も深いビアホール (第 1 の開孔 6-1) の深さ以上に W 膜 7-1 を成長させる。次に、研磨法 (CMP 法) により BPSG 膜 5 と W 膜を同時に削り、図 4 (d) に示すように、BPSG 膜 5 と W 膜 7-1、7-2 がすべて平坦となるようにする。次に通常のスパッタ法により、たとえば Al 合金膜を形成し、通常のリソグラフィ技術とドライエッチング技術により Al 合金膜を所望形状にパターニングして、図 4 (e) に示すように、Al 合金配線 8 を形成する。

【0005】

【発明が解決しようとする課題】 この従来の半導体装置の製造方法では、実際に必要な膜厚以上に W を成長させ、開孔からあふれるまで W 膜を成長していた。そのため、必要以上の W 成長の原料ガスを消費し、また、成長時間も長い、生産性が悪いという問題点があった。

(3)

特開平8-236524

3

【0006】さらに研磨の最初からW膜も同時に研磨されるため、研磨の終点検出にW膜が研磨面に露出することを利用することは困難であり、またその他の終点検出方法も知られていないため、開孔の深さ及び層間絶縁膜の厚さが安定しないという問題点もある。

【0007】本発明の目的は、生産性よく開孔の深さを制御できる層間絶縁膜の形成方法を提供することにある。

【0008】

【課題を解決するための手段】本発明の半導体装置の製造方法は、表面部に選択的に形成された不純物拡散層を有する半導体基板上の第1の絶縁膜を被覆する第1の配線を形成する工程と、第2の絶縁膜を前記第1の配線より厚く堆積し前記第2の絶縁膜に前記不純物拡散層に達する第1の開孔及び又は前記第1の配線に達する第2の開孔を形成し、前記第1の開孔及び又は第2の開孔の底面から途中迄金属膜を選択成長させて埋めた後、前記第1の開孔又は第2の開孔を埋める金属膜が露出する迄研磨を行なうことにより表面が平坦な層間絶縁膜を形成する工程とを有し、前記第1の開孔又は第2の開孔を埋める金属膜が露出したことを検出して研磨を終了するというものである。

【0009】ここで、金属膜が露出したことを検出する研磨の終点検出手段の第1の例は、研磨中に発生する研磨屑をサンプリングして分析し所定金属を検出するというものである。

【0010】この場合、誘導結合プラズマ質量分析を行なうのが好ましい。

【0011】また、終点検出手段の第2の例は研磨装置の半導体基板の保持具又は研磨布を固定した定盤の摩擦力をモニタして金属膜が露出したことを検出するというものである。

【0012】この場合、保持具又は定盤を回転させるモータの駆動電流により摩擦力のモニタを行なうのが好ましい。

【0013】更に、終点検出手段の第3の例は、半導体基板の保持具及び研磨布を固定した定盤をそれぞれ導電体で構成し、前記保持具と定盤との間に高圧を印加してこれらの間の電流又は抵抗を検出して金属膜が露出したことを検出するというものである。

【0014】

【作用】第1の開孔及び又は第2の開孔を金属膜で完全に埋めないで生産性が高い。研磨の終点検出を行なうので精度の良い研磨が可能である。

【0015】

【実施例】次に本発明について図面を用いて説明する。図1(a)～(e)は本発明の第1の実施例の説明のための工程順断面図である。

【0016】まず、図1(a)に示すように、酸化シリコン膜3A(フィールド酸化膜や層間絶縁膜など)で表

4

面が覆われたP型のシリコン基板1上に第1の配線を形成する。第1の配線はAl合金膜4A-1とその上に形成したW膜4A-2からなり(多結晶シリコン膜でもよい)それぞれスパッタ法により形成し、その後、通常のフォトリソグラフィ技術とドライエッチング技術により所望の形状にパターンニングしている。次に、プラズマを用いた化学気相成長法(プラズマCVD法)により酸化シリコン膜5AをAl合金膜4A-1とW膜4A-2の積層上に第1の配線とその上方に形成する第2の配線を接続する開孔(スルーホール)の深さを加えたよりも厚く形成する。たとえば、Al合金膜4A-1の厚さが0.4μm、W膜の厚さが0.1μmでありスルーホールの深さを1.0μmとすると、1.5μm以上の酸化シリコン膜5Aを形成する。次に、通常のフォトリソグラフィ技術とドライエッチング技術により、図1(b)に示すように、酸化シリコン膜5Aの所望の位置に、W膜4A-2に達するスルーホール(開孔6A)を形成する。

【0017】次に、減圧化学気相成長法により六弗化タングステン(WF₆)をモノシラン(SiH₄)で還元させて、図1(c)に示すように、W膜4A-2上にのみに選択的にW膜7Aを1.0μmの厚さに形成する。Al合金膜4A-1上にW膜4A-2を設けた理由は、Al合金膜4A-1上に直接W膜7Aを成長させようとするとAlがWF₆により弗化されて、高抵抗のAlの弗化物が形成され接続抵抗が高くなってしまうので、これを防ぐためである。

【0018】次に、数十～数百nmのシリコン酸化物の微粒子を研磨材として含んだスラリーを用いて、酸化シリコン膜5Aを研磨し平坦化する。すなわち、図2に示すように、CMP装置100のウェーハ保持具100-4にウェーハ100-3(図1(c)の状態まで加工の終了した)を取りつけ、まず、第1のノズル100-5より研磨材を10～20%含んだ第1のスラリー100-7を100cc/min程度の割合で滴下しつつ、ウェーハを定盤100-1上の研磨布100-2に対して5PSI程度の圧力で押しつけながら、定盤100-1を40rpmの速さで回転させ、さらにウェーハ保持具100-4を20rpmの速さで自転させることにより、120nm/minの速度で酸化シリコン膜5AをW膜7Aが露出する直前まで研磨する。次に、第1のノズル100-5を止め第2のノズル100-6より研磨材を5%程度含んだ第2のスラリー100-8を500cc/minの割合で滴下させつつウェーハの定盤に対する圧力を3PSI程度におとし、さらに定盤の回転数を20rpm程度にすることにより、酸化シリコン膜5Aを50nm/min以下の遅い速度で研磨する。その際、研磨に使用されたスラリー100-9を昇圧ポンプ101により1Kg/cm²程度の圧力で昇圧した後フィルタ102を通して研磨材(微粒子)を除去した後、

(4)

特開平 8-236524

6

ネブライザ103に送り、ネブライザ103により霧状にして誘導結合プラズマ質量分析装置(ICP-MS)104内に導入し、常時Wの相対的な量をモニターする。分析装置を常時Wの質量数に設定しておくことにより、Wの絶対値はモニターできないが、相対的な濃度は常時モニター可能である。こうして、スラリー100-9中のWの濃度が増加しはじめたところで研磨を終了すると、図1(d)に示すように、平坦な層間絶縁膜5Aaが形成される。研磨速度を50nm/min以下にすることにより、Wの濃度測定に数十秒かかったとしても、その間に研磨される膜厚は数十nm程度であり、問題とはならない。

【0019】ICP-MS法は、Wの分析感度が非常に高いこと、Wのピークが他の元素と重なることがなく、短時間で分析が行なえることにより研磨の終点検出のためのWの分析には適しているが、ICP-MS法に限る必要は無い。

【0020】次に、図1(e)に示すように、A1合金膜8Aをスパッタ法により形成した後、通常のフォトリソグラフィ技術とドライエッチング技術により所望の形状にパターニングして第2の配線を形成し、2層配線を完成する。

【0021】開孔6AをW膜で完全に埋めないで、W成長の原料ガスの無駄な消費はなく生産性が良い。W膜の表面が露出したことを確実に検出できるので、W膜で埋め込まれた開孔の深さ及び層間絶縁膜の厚さを高精度に制御できる。

【0022】図3(a)～(e)は、本発明の第2の実施例の説明のための工程順断面図である。

【0023】まず、図3(a)に示すように、酸化シリコン膜3B(フィールド酸化膜や層間絶縁膜)で覆われたP型のシリコン基板1上に通常の工程により、多結晶シリコン膜4Bでなる第1の配線(第1の実施例と同様の2層膜で構成してもよい)を形成する。次に全面にBPSSG膜5Bをたとえば1.5μmの厚さに形成し、窒素中で800～900℃の熱処理を行ないBPSSG膜5Bをリフローさせる。

【0024】次に通常のフォトリソグラフィ技術とドライエッチング技術により、図3(b)に示すように、多結晶シリコン膜4Bとシリコン基板表面のN型不純物拡散層2(MOSTランジスタのソース・ドレイン領域など)にそれぞれ達する第1の開孔6-1A及び6-2Aを形成する。多結晶シリコン膜4Bの膜厚を0.4μm、多結晶シリコン膜4Bの表面に達する第2の開孔6-2Aの最終的な深さを0.8μmとすると、図3(c)に示すように、0.4μmと0.8μmを加えた1.2μmの膜厚となるようにW膜7-1A、7-2Aを第1、第2の開孔内に化学気相成長法により選択的に成長する。

【0025】次に第1の実施例同様にBPSSG膜5Bを

研磨する。この時ウェーハ保持具と研磨面に接触する研磨布を固定する定盤を金属等の導電材料で形成し、研磨布にスラリーを浸透させる構成とし、ウェーハ保持具と定盤との間に電圧(定盤側を負)を印加して、研磨中、両者間の電流又は抵抗をモニターする。シリコン基板に達するピアホール(第1の開孔)に成長したW膜7-1Aが研磨面に表われた時点で最も抵抗が下がるので、この時点でBPSSG膜の研磨を終了することにより、図3(d)に示すように層間絶縁膜5Baの形成を終る。次に、図3(e)に示すように、A1合金膜8Bをスパッタ法により形成した後、通常のリソグラフィ技術と、ドライエッチング法により所望の形状にパターニングして、2層目の配線(第2の配線)を形成する。

【0026】本実施例では、ピアホール内に成長したW膜の表面の高さが場所により違うが、シリコン基板に達する第1の開孔6-1A内に成長し最も高さの低いW膜7-1Aが研磨面に露出した時、ウェーハ保持具と定盤との間の抵抗の変化が大きいため、容易に終点検出が可能である。本実施例は、終点検出を簡略な装置で行える利点がある。

【0027】終点検出手段としては、第1、第2の実施例とは別に、研磨面にW膜が露出した時にわずかに摩擦力が変化するが、この摩擦力の変化を検出する方法もある。摩擦力の変化は、たとえば、ウェーハ保持具あるいは定盤の回転用モータの駆動電流をモニターすることにより検出が可能である。

【0028】以上の説明においては、開孔に成長した金属膜はW膜であったがこれに限る必要はなく選択的に成長可能なものならなんでも良くたとえば無電解めっき法によるNi膜等でも良い。

【0029】さらに、本発明を繰り返し用いることで3層以上の配線を容易に形成可能である。

【0030】

【発明の効果】以上説明したように本発明では、層間絶縁膜を形成するための第2の絶縁膜に開孔を形成した後、開孔の途中まで金属膜を選択成長させ、この金属膜が露出するまで第2の絶縁膜を研磨して平坦化しているので、金属膜をほとんど研磨しなくてよいため従来技術のように、開孔からあふれるまで金属膜を成長する必要がないため、金属膜成長の原料となるガス等の使用料を最低限におさえることができさらに成長時間も最低必要な時間だけで良いので生産性が上がり、低コストで生産できるという効果がある。

【0031】また、ピアホール(開孔)内の金属膜が研磨面に露出したことを検出して、これを研磨の終点検出として用いるので、必要な時点で研磨を確実に停止することができるため、ピアホールの深さは常に一定の深さに安定して形成でき、従って、層間絶縁膜の厚さは一定となりオーバー研磨等をする必要がないため研磨時間も短くなり、さらに生産性が上がるという効果がある。

(5)

特開平8-236524

8

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明のため(a)～(e)に分図して示す工程順断面図である。

【図2】第1の実施例における終点検出手段に使用する装置を概略的に示すブロック図である。

【図3】本発明の第2の実施例の説明のため(a)～(e)に分図して示す工程順断面図である。

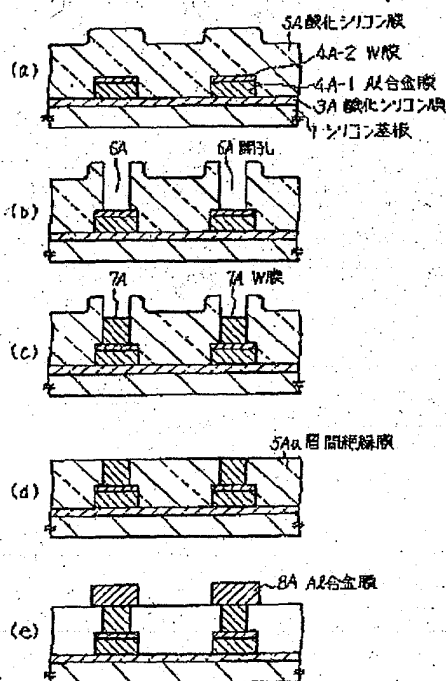
【図4】従来例の説明のため(a)～(e)に分図して示す工程順断面図である。

【符号の説明】

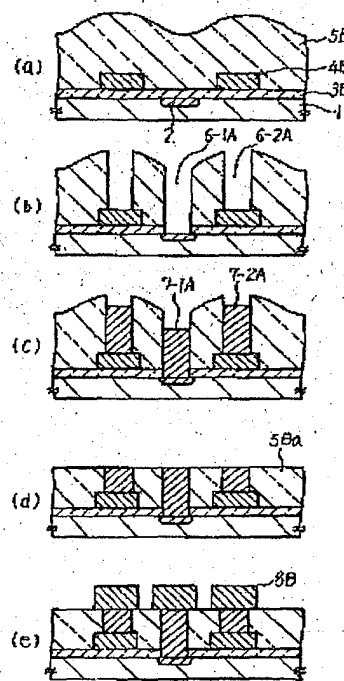
- 1 シリコン基板
2 N型不純物拡散層
3, 3A, 3B 酸化シリコン膜
4, 4B 結晶シリコン膜(第1の配線)
4A-1 Al合金膜
4A-2 W膜
5, 5B BPSG膜
5A 酸化シリコン膜
5a, 5Aa, 5Bb 層間絶縁膜

- * 6-1, 6-1A 第1の開孔
6-2, 6-2A 第2の開孔
7, 7-1, 7-1A, 7-2, 7-2A W膜
8, 8A, 8B Al合金膜(第2の配線)
100 MCP装置
100-1 定盤
100-2 研磨布
100-3 ウェーハ
100-4 ウェーハ保持具
100-5 第1のノズル
100-6 第2のノズル
100-7 第1のスラリー
100-8 第2のスラリー
100-9 スラリー(使用後)
101 昇圧ポンプ
102 フィルタ
103 ネブライザ
104 ICP-MS分析装置

【図1】



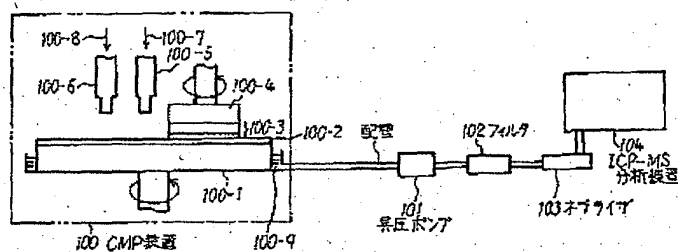
【図3】



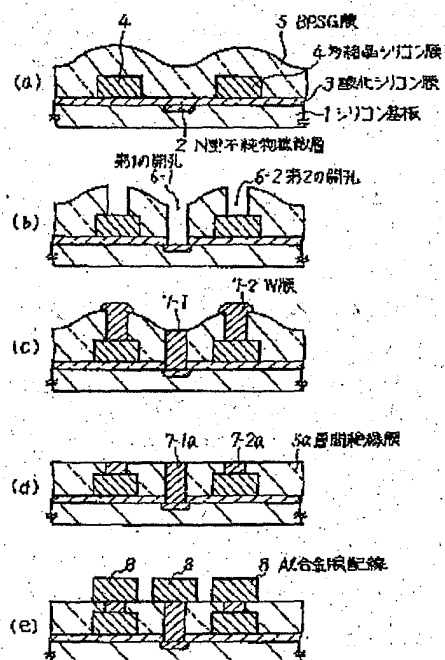
(6)

特開平8-236524

【図2】



【図4】



* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture method of a semiconductor device characterized by having the following, detecting that the metal membrane which buries the 1st aforementioned puncturing or the 2nd puncturing was exposed, and ending polish. The process which forms the 1st wiring which covers the 1st insulator layer on the semiconductor substrate which has the impurity diffusion layer alternatively formed in the surface section. the 1st puncturing which deposits the 2nd insulator layer more thickly than the 1st aforementioned wiring, and reaches the 2nd insulator layer of the above at the aforementioned impurity diffusion layer -- and -- or the 2nd puncturing which reaches the 1st aforementioned wiring -- forming -- the 1st aforementioned puncturing -- and -- or -- from the base of the 2nd puncturing -- on the way, after carrying out the selective growth of the until metal membrane and burying it The process which forms a layer insulation film with a flat front face by grinding until the metal membrane which buries the 1st aforementioned puncturing or the 2nd puncturing is exposed.

[Claim 2] The manufacture method of a semiconductor device according to claim 1 of sampling and analyzing the polish waste generated during polish, and detecting a predetermined metal.

[Claim 3] The manufacture method of a semiconductor device according to claim 2 of performing an inductively coupled plasma source mass spectrometry.

[Claim 4] The manufacture method of a semiconductor device according to claim 3 that a metal membrane is a tungsten film.

[Claim 5] The manufacture method of a semiconductor device according to claim 1 of detecting having carried out the monitor of the frictional force of the surface plate which fixed the holder or abrasive cloth of a semiconductor substrate of polish equipment, and the metal membrane having been exposed.

[Claim 6] The manufacture method of a semiconductor device according to claim 5 that the drive current of the motor made to rotate a holder or a surface plate performs the monitor of frictional force.

[Claim 7] The manufacture method of a semiconductor device according to claim 1 of detecting having constituted from a conductor the surface plate which fixed the holder and abrasive cloth of a semiconductor substrate of polish equipment, respectively, having impressed voltage between the aforementioned holder and the surface plate, having detected the current between these, or resistance, and the metal membrane having been exposed.

[Translation done.]

puncturing 6-2. At this time, the W film 7-1 is grown up more than the depth of the deepest beer hall (1st puncturing 6-1). Next, the BPSG film 5 and W film are simultaneously shaved by the grinding method (the CMP method), and it is made for all of the BPSG film 5, the W film 7-1, and 7-2 to become flat as shown in drawing 4 (d). next, as for example, aluminum alloy film is formed, patterning of the aluminum alloy film is carried out to a request configuration with the lithography technology and dry etching technology which are usual and it is shown in drawing 4 (e) by the usual spatter, aluminum alloy wiring 8 is formed

[0005]

[Problem(s) to be Solved by the Invention] By the manufacture method of this conventional semiconductor device, W was grown up more than actually required thickness, and W film was grown up until it overflowed from puncturing. Therefore, the material gas of W growth more than required was consumed, and since growth time was also long, there was a trouble that productivity was bad.

[0006] It is difficult to use that W film is exposed to a polished surface for terminal point detection of polish, since W film is furthermore also simultaneously ground from the beginning of polish, and since the other terminal point methods of detection are not known, either, there is also a trouble that the depth of puncturing and the thickness of a layer insulation film are not stabilized.

[0007] The purpose of this invention is to offer the formation method of the layer insulation film which can control the depth of puncturing with sufficient productivity.

[0008]

[Means for Solving the Problem] The process which forms the 1st wiring which covers the 1st insulator layer on the semiconductor substrate which has the impurity diffusion layer by which the manufacture method of the semiconductor device of this invention was alternatively formed in the surface section, Or the 2nd puncturing which reaches the 1st aforementioned wiring is formed. the 1st puncturing which deposits the 2nd insulator layer more thickly than the 1st aforementioned wiring, and reaches the 2nd insulator layer of the above at the aforementioned impurity diffusion layer -- and -- the 1st aforementioned puncturing -- and -- or -- from the base of the 2nd puncturing -- on the way, after carrying out the selective growth of the until metal membrane and burying it By grinding until the metal membrane which buries the 1st aforementioned puncturing or the 2nd puncturing is exposed, it has the process which forms a layer insulation film with a flat front face, it detects that the metal membrane which buries the 1st aforementioned puncturing or the 2nd puncturing was exposed, and polish is ended.

[0009] The 1st example of the terminal point detection means of the polish which detects that the metal membrane was exposed here samples and analyzes the polish waste generated during polish, and detects a predetermined metal.

[0010] In this case, it is desirable to perform an inductively coupled plasma source mass spectrometry.

[0011] Moreover, the 2nd example of a terminal point detection means detects that carried out the monitor of the frictional force of the surface plate which fixed the holder or abrasive cloth of a semiconductor substrate of polish equipment, and the metal membrane was exposed.

[0012] In this case, it is desirable that the drive current of the motor made to rotate a holder or a surface plate performs the monitor of frictional force.

[0013] Furthermore, the 3rd example of a terminal point detection means detects that constituted the surface plate which fixed the holder and abrasive cloth of a semiconductor substrate from a conductor, respectively, impressed voltage between the aforementioned holder and the surface plate, detected the current between these, or resistance, and the metal membrane was exposed.

[0014]

[Function] the 1st puncturing -- and -- or since the 2nd puncturing is not completely fill uped with a metal membrane, productivity is high Since terminal point detection of polish is performed, accurate polish is possible.

[0015]

[Example] Next, this invention is explained using a drawing. Drawing 1 (a) - (e) is the order cross section of a process for explanation of the 1st example of this invention.

[0016] First, as shown in drawing 1 (a), the 1st wiring is formed on the silicon substrate 1 of the P

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the manufacture method of a semiconductor device of having multilayer-interconnection structure, about the manufacture method of a semiconductor device.

[0002]

[Description of the Prior Art] In the VLSI, the multilayer interconnection is adopted as one of the meanses for advancing high integration and improvement in the speed. In this case, if there is a level difference by lower layer wiring, since detailed-ization of the upper wiring will become difficult, flattening of a layer insulation film which insulates between each wiring layer is performed. A photoresist film is applied on the method of heat-treating and carrying out a reflow of the BPSG film which added P and B into a silicon-oxide film as the flattening method of a layer insulation film, the method using the SOG film which forms an insulator layer by applying a solution and flying a solvent with heat treatment, or a layer insulation film, and there is the etchback method which *****s this with a lower layer insulation film. Recently, the method (the CMP method) of carrying out flattening of the insulator layer by polish attracts attention. Though which flattening method is used, after carrying out flattening of the layer insulation film, the formation method of a general multilayer interconnection forms puncturing (beer hall) which reaches lower layer wiring etc.

[0003] Moreover, detailed-ization progresses by high accumulation of LSI, and, as for a beer hall, the method of embedding a beer hall by the good chemical-vapor-deposition method of covering nature in the spatter used widely so far, since a wiring metal cannot be formed with covering nature sufficient in a beer hall is taken increasingly. As the one method, the method of growing up W alternatively is only in a beer hall. However, by this method, the beer hall where the depth differs cannot be embedded simultaneously, or since selectivity is not perfect, W grows granular also on a layer insulation film, and there are problems, such as becoming the cause of the short circuit during wiring. Then, in order to solve these problems, after forming a beer hall before flattening of a layer insulation film, growing up W into the beer hall alternatively and embedding in it, the method of grinding a layer insulation film and W simultaneously and carrying out flattening is proposed. This is indicated by JP,2-98935,A and JP,4-167448,A, for example. This method is explained with reference to a drawing.

[0004] First, as shown in drawing 4 (a), according to the usual process, the silicon-oxide film 3 on the silicon substrate 1 (the N type impurity diffusion layer 2 is formed in the front face) of P type is covered alternatively, and the 1st wiring which becomes by the polycrystal silicon film 4 is formed. Next, about 2 micrometers of BPSG films 5 are more thickly formed in the whole surface, and heat treatment of about 800-900 degrees C is performed in nitrogen. At this time, a reflow of the BPSG film is carried out and flattening is carried out a little. next, with usual photo lithography technology and usual dry etching technology, as shown in drawing 4 (b), the puncturing 6-2 which is the 1st puncturing 6-1 which reaches the N type impurity diffusion layer 2 of the 1st wiring (4) and silicon-substrate 1 front face, respectively, and the 2nd is formed Then, by the chemical-vapor-deposition method which returns a 6 fluoridation tungsten (WF6) by the silane (SiH4), as shown in drawing 4 (c), the W film 7-1 and 7-2 are alternatively grown up into the 1st puncturing 6-1 and the 2nd

type by which the front face was being worn by silicon-oxide film 3A (a field oxide film, layer insulation film, etc.). The 1st wiring consists of aluminum alloy film 4A-1 and W film 4A-2 which were formed on it (a polycrystal silicon film is sufficient), is formed by the sputter, respectively, and is carrying out patterning to the desired configuration with usual photo lithography technology and usual dry etching technology after that. Next, the depth of puncturing (through hole) which connects the 2nd wiring which forms silicon-oxide film 5A in the 1st wiring and upper part by the chemical-vapor-deposition method (plasma CVD method) using plasma at the thickness of aluminum alloy film 4A-1 and W film 4A-2 is applied, and reliance is also formed thickly. For example, if the thickness of 0.4 micrometer W film is 0.1 micrometers and the thickness of aluminum alloy film 4A-1 sets the depth of a through hole to 1.0 micrometers, 1.5 micrometers or more silicon-oxide film 5A will be formed. Next, with usual photo lithography technology and usual dry etching technology, as shown in drawing 1 (b), the through hole (puncturing 6A) which amounts to W film 4A-2 is formed in the position which is the request of silicon-oxide film 5A

[0017] Next, a 6 fluoridation tungsten (WF6) is made to return by the mono silane (SiH_4) by the reduced pressure chemical-vapor-deposition method, and as shown in drawing 1 (c), W film 7A is alternatively formed only on W film 4A-2 at the thickness of 1.0 micrometers. For the reason for having prepared W film 4A-2 on A-aluminum alloy film 41, aluminum is WF6 when it is going to grow up W film 7A directly on A-aluminum alloy film 41. Since fluoridation is carried out, the fluoride of aluminum of high resistance is formed and connection resistance becomes high, it is for preventing this.

[0018] Next, flattening of the silicon-oxide film 5A is ground and carried out using the slurry which contained the particle of the silicon oxide of dozens - 100nm of numbers as abrasives. Namely, as shown in drawing 2, a wafer 100-3 (processing was completed to the state of drawing 1 (c)) is attached in the wafer holder 100-4 of CMP equipment 100. First, the 1st slurry 100-7 which contained abrasives 10 to 20% from the 1st nozzle 100-5 being dropped at a rate of about 100 cc/min. Pushing a wafer by the pressure of about 5 PSIs to the abrasive cloth 100-2 on a surface plate 100-1. By rotating a surface plate 100-1 with the speed of 40rpm, and making the wafer holder 100-4 rotate with the speed of 20rpm further, until just before W film 7A exposes silicon-oxide film 5A at the rate of 120 nm/min, it grinds. Next, silicon-oxide film 5A is ground at a late speed of 50 or less nm/min by dropping the pressure to the surface plate of a wafer on about 3 PSIs, making the 2nd slurry 100-8 which stopped the 1st nozzle 100-5 and contained abrasives about 5% from the 2nd nozzle 100-6 dropped at a rate of 500 cc/min, and setting a further time-tested rotational frequency to about 20 rpm. It is the slurry 100-9 used for polish by the booster pump 101 in that case 1 kg/cm². After carrying out a pressure up to the pressure of a grade and removing abrasives (particle) through a filter 102, it sends to a nebulizer 103 and is made the shape of a fog with a nebulizer 103, and it introduces in inductively-coupled-plasma-source-mass-spectrometry equipment (ICP-MS) 104, and the monitor of the relative amount of W is always carried out. Although the absolute value of W cannot carry out a monitor by always setting the analysis apparatus as the mass number of W, a monitor is always possible for relative concentration. In this way, after ending polish in the place which the concentration of W in a slurry 100-9 began to increase, as shown in drawing 1 (d), flat layer insulation film 5Aa is formed. The thickness ground in the meantime though the density measurement of W takes dozens seconds by making polish speed into 50 or less nm/min is about dozens of nm, and does not pose a problem.

[0019] The ICP-MS method does not have the element and heavy bird clapper of others [peak / of W / that the analysis sensitivity of W is very high, and], and although it is suitable for analysis of W for terminal point detection of polish by the ability analyzing in a short time, there is no need of restricting to the ICP-MS method.

[0020] Next, as shown in drawing 1 (e), after forming aluminum alloy film 8A by the sputter, patterning is carried out to a desired configuration with usual photo lithography technology and usual dry etching technology, the 2nd wiring is formed, and two-layer wiring is completed.

[0021] Since puncturing 6A is not completely buried by W film, there is no useless consumption of the material gas of W growth, and its productivity is good. Since it is certainly detectable that the front face of W film was exposed, the depth of puncturing embedded by W film and the thickness of a layer insulation film are controllable with high precision.

[0022] Drawing 3 (a) - (e) is the order cross section of a process for explanation of the 2nd example of this invention.

[0023] First, as shown in drawing 3 (a), the 1st wiring (you may constitute from the same two-layer film as the 1st example) which becomes by polycrystal silicon film 4B is formed according to the usual process on the silicon substrate 1 of the P type covered by silicon-oxide film 3B (a field oxide film and layer insulator layer). Next, BPSG film 5B is formed in the whole surface at the thickness of 1.5 micrometers, 800-900-degree C heat treatment is performed in nitrogen, and a reflow of the BPSG film 5B is carried out.

[0024] next, with usual photo lithography technology and usual dry etching technology, as shown in drawing 3 (b), polycrystal silicon film 4B, puncturing 6-1A which is the 1st which reaches the N type impurity diffusion layers 2 on the front face of a silicon substrate (source drain field of an MOS transistor etc.), respectively, and 6-2A are formed. If the final depth of 2nd puncturing 6-2A which arrives at the front face of 0.4 micrometers and polycrystal silicon film 4B in the thickness of polycrystal silicon film 4B is set to 0.8 micrometers, as shown in drawing 3 (c), W film 7-1A and 7-2A will be alternatively grown up by the chemical-vapor-deposition method into the 1st and 2nd puncturing so that it may become the 1.2-micrometer thickness which added 0.4 micrometers and 0.8 micrometers.

[0025] Next, BPSG film 5B is ground like the 1st example. The surface plate which fixes the abrasive cloth which contacts a wafer holder and a polished surface at this time is formed by electrical conducting materials, such as a metal, and it considers as the composition in which a slurry is made to permeate an abrasive cloth, and voltage (it is negative about a surface plate side) is impressed between a wafer holder and a surface plate, and the monitor of the current between both under polish or the resistance is carried out. Since resistance falls most when W film 7-1A which grew up to be the beer hall (1st puncturing) which reaches a silicon substrate appears in a polished surface, as shown in drawing 3 (d), formation of layer insulation film 5Ba is finished by ending polish of a BPSG film at this time. Next, as shown in drawing 3 (e), after forming aluminum alloy film 8B by the sputter, patterning is carried out to a desired configuration by usual lithography technology and the usual dry etching method, and wiring (2nd wiring) of a two-layer eye is formed.

[0026] Although the height of the front face of W film which grew into the beer hall changes with places in this example, when it grows up into 1st puncturing 6-1A which reaches a silicon substrate and W film 7-1A with the lowest height is exposed to a polished surface, since change of resistance between a wafer holder and a surface plate is large, terminal point detection is easily possible. This example has the advantage which can perform terminal point detection with simple equipment.

[0027] As a terminal point detection means, apart from the 1st and the 2nd example, although frictional force changes slightly when W film is exposed to a polished surface, there is also a method of detecting change of this frictional force. Change of frictional force is detectable by carrying out the monitor of the drive current of for example, a wafer holder or the motor for rotation of a surface plate.

[0028] In the above explanation, although the metal membrane which grew up to be puncturing was a W film, if growth is alternatively possible, it is not necessary to restrict it to this, and nickel film by the electroless-plating method etc. is well sufficient as it anything.

[0029] Furthermore, wiring of three or more layers can be easily formed by repeating and using this invention.

[0030]

[Effect of the Invention] Since the selective growth of the metal membrane is carried out to the middle of puncturing, and flattening of the 2nd insulator layer is ground and carried out until this metal membrane is exposed after forming puncturing in the 2nd insulator layer for forming a layer insulation film in this invention, as explained above. Since it is not necessary to grow up a metal membrane until it overflows from puncturing like the conventional technology, since it is necessary to hardly grind a metal membrane, rental fees, such as gas used as the raw material of metal membrane growth, -- minimum -- it can press down -- further -- growth time -- the minimum -- since only required time is required, productivity goes up, and it is effective in being producible by the low cost.

[0031] Moreover, since it detects that the metal membrane in a beer hall (puncturing) was exposed to

the polished surface and it is used as terminal point detection of polish of this Since polish can be certainly stopped when required, the depth of a beer hall is always stabilized in the fixed depth, it can form, therefore since it is not necessary to become fixed [the thickness of a layer insulation film] and to carry out exaggerated polish etc., polish time is also effective in productivity going up further in short ****.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Because of explanation of the 1st example of this invention, a part view, it carries out and is the shown order cross section of a process at (a) - (e).

[Drawing 2] It is the block diagram showing roughly the equipment used for the terminal point detection means in the 1st example.

[Drawing 3] Because of explanation of the 2nd example of this invention, a part view, it carries out and is the shown order cross section of a process at (a) - (e).

[Drawing 4] Because of explanation of the conventional example, a part view, it carries out and is the shown order cross section of a process at (a) - (e).

[Description of Notations]

- 1 Silicon Substrate
- 2 N Type Impurity Diffusion Layer
- 3, 3A, 3B Silicon-oxide film
- 4 4B Crystal silicon film (1st wiring)
- 4A-1 aluminum alloy film
- 4A-2 W film
- 5 5B BPSG film
- 5A Silicon-oxide film
- 5a, 5Aa, 5Bb Layer insulation film
- 6-1, 6-1A 1st puncturing
- 6-2, 6-2A 2nd puncturing
- 7, 7-1, 7-1A, 7-2, 7-2A W film
- 8, 8A, 8B aluminum alloy film (2nd wiring)
- 100 MCP Equipment
- 100-1 Surface Plate
- 100-2 Abrasive Cloth
- 100-3 Wafer
- 100-4 Wafer Holder
- 100-5 1st Nozzle
- 100-6 2nd Nozzle
- 100-7 1st Slurry
- 100-8 2nd Slurry
- 100-9 Slurry (after Use)
- 101 Booster Pump
- 102 Filter
- 103 Nebulizer
- 104 ICP-MS Analysis Apparatus

[Translation done.]

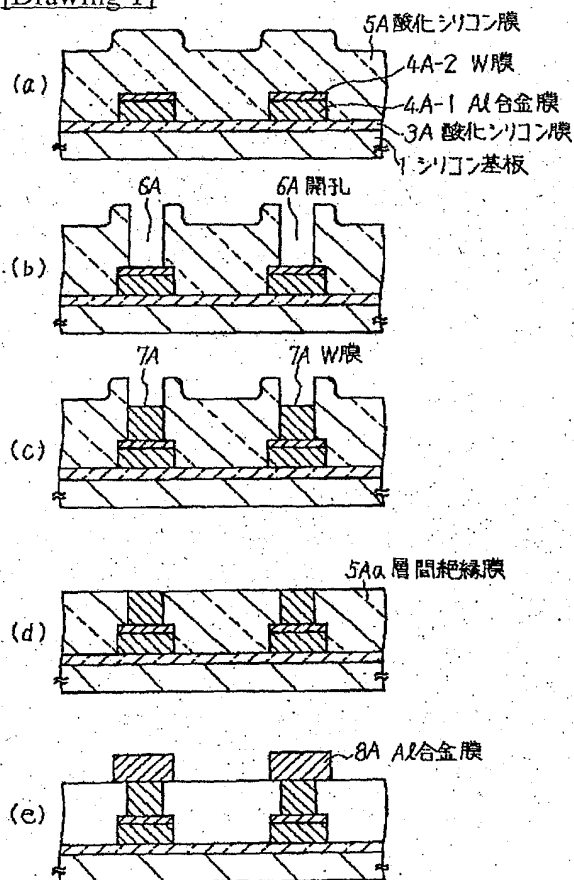
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

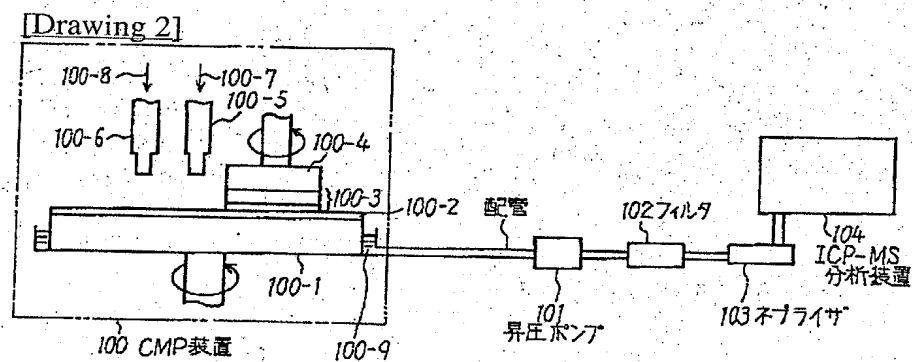
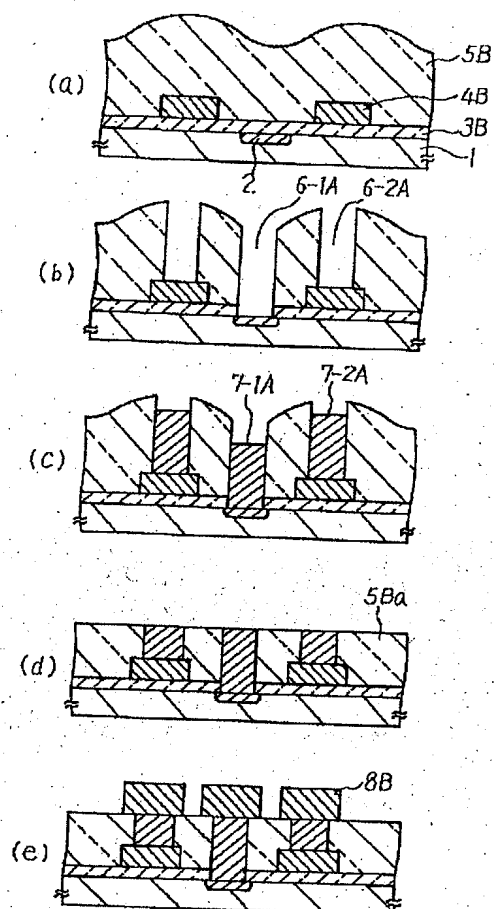
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

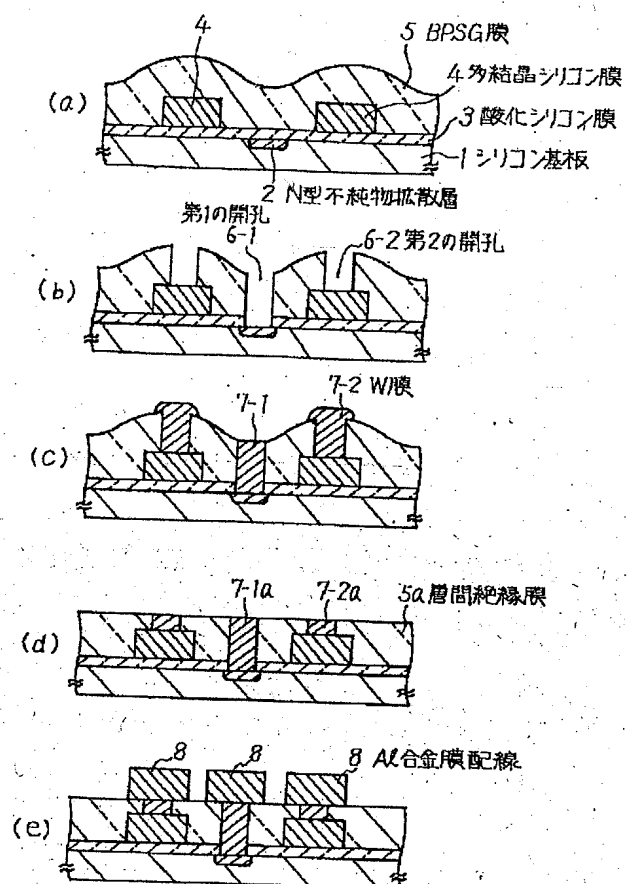
[Drawing 1]



[Drawing 3]



[Drawing 4]



[Translation done.]